


**A method of chemically mechanically polishing an electronic component**

Patent Number: ☐ [EP0773580](#), [B1](#)  
Publication date: 1997-05-14  
Inventor(s): JASO MARK ANTHONY (US)  
Applicant(s): IBM (US)  
Requested Patent: ☐ [JP9167797](#)  
Application Number: EP19960307618 19961021  
Priority Number(s): US19950554880 19951107  
IPC Classification: H01L21/3105; H01L21/768  
EC Classification: [H01L21/3105B2](#)  
Equivalents: DE69618543D, DE69618543T, JP3197830B2, KR233349, ☐ [US5726099](#)  
Cited Documents: [US5389194](#); [US5244534](#); [US4702792](#); [EP0708160](#)

**Abstract**

A method of forming metal patterns in an insulating layer on a semiconductor wafer. After Chem-Mech Polishing (CMP) the insulating layer and forming studs in a planarized insulating layer, the polished surface is chem-mech polished with a touch-up slurry. The touch-up slurry has a nearly identical removal rate for the stud material (tungsten or titanium) as for the insulating material (SiO<sub>2</sub>). The preferred non-selective slurry is

fumed colloidal silica, 8% by weight, and 20 g/l ammonium persulfate. 

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-167797

(43) 公開日 平成9年(1997)6月24日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	C
21/304	3 2 1		21/304	3 2 1 P

審査請求 未請求 請求項の数21 O L (全 6 頁)

(21) 出願番号 特願平8-274552

(22) 出願日 平成8年(1996)10月17日

(31) 優先権主張番号 08/554880

(32) 優先日 1995年11月7日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー  
ズ・コーポレーション

INTERNATIONAL BUSIN  
ESS MASCHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72) 発明者 マーク・アンソニー・ジャソ

アメリカ合衆国 10598 ニューヨーク州  
ヨークタウン ハイツ ウィブアウィル  
ロード 163

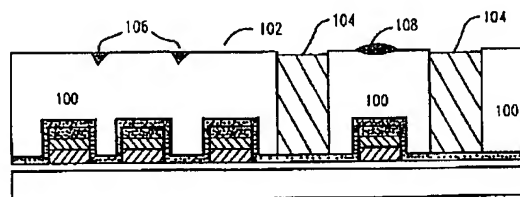
(74) 代理人 弁理士 合田 潔 (外2名)

(54) 【発明の名称】 半導体ウエハの金属パターン形成方法

(57) 【要約】

【課題】 半導体チップの歩留りを改善し、簡易化され  
たチップ製造を行うと共に、半導体チップ層の表面平坦  
性を改良して、半導体チップ製造中に形成された絶縁層  
を簡易に平坦化することである。

【解決手段】 半導体ウエハ上の絶縁層100に金属パ  
ターンを形成する方法である。絶縁層100を化学的・  
機械的研磨し、そして平坦化された絶縁層にスタッド1  
04を形成した後、その研磨表面は仕上げスラリでもっ  
て化学的・機械的研磨される。仕上げスラリは、スタッ  
ド材料(タンゲステン又はチタニウム)に対して絶縁材  
料( $\text{SiO}_2$ )とはほぼ同等な除去速度を有している。好  
適な実施の形態による非選択スラリは、8重量%の燐蒸  
コロイド状シリカ、そして濃度20g/lの過硫酸塩ア  
ンモニウムである。



【特許請求の範囲】

【請求項1】半導体ウエハ上の絶縁層に金属パターンを形成する方法において、

a) 半導体ウエハ上に絶縁材料よりなる層を形成する工程と、

b) 前記絶縁層を平坦化する工程と、

c) 前記絶縁層にパターンを形成する工程と、

d) 前記絶縁層上に導体材料よりなる層を形成する工程と、

e) 前記絶縁層を露出させるために前記導体材料層を除去する工程と、

f) 前記絶縁材料と前記導体材料に対して同等の除去速度を有するスラリーをもって、前記露出した絶縁層を化学的・機械的研磨する工程と、を含むことを特徴とする半導体ウエハの金属パターン形成方法。

【請求項2】請求項1に記載の形成方法において、前記絶縁材料は $\text{SiO}_2$ であり、前記導体材料は金属であることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項3】請求項2に記載の形成方法において、前記金属はタングステンであることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項4】請求項2に記載の形成方法において、前記金属はチタニウムであることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項5】請求項1に記載の形成方法において、前記スラリーはコロイド状シリカ及び過硫酸塩アンモニウムよりなっていることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項6】請求項5に記載の形成方法において、前記コロイド状シリカは前記スラリーの5～12重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項7】請求項6に記載の形成方法において、前記コロイド状シリカは前記スラリーの8重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項8】請求項6に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20～30g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項9】請求項7に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項10】半導体ウエハ上の絶縁層に金属パターンを形成する方法において、

a) 半導体ウエハ上に酸化物層を形成する工程と、

b) 前記酸化物層を平坦化する工程と、

c) 前記絶縁層にパターンを形成する工程と、

d) 前記絶縁層上に金属層を形成する工程と、

e) 前記酸化物層を露出させるために前記金属層を除去

する工程と、

f) 燻蒸コロイド状シリカ及び過硫酸塩アンモニウムよりなるスラリーをもって、前記露出した酸化物層を化学的・機械的研磨して金属を前記パターンに残す工程と、を含むことを特徴とする半導体ウエハの金属パターン形成方法。

【請求項11】請求項10に記載の形成方法において、前記燻蒸コロイド状シリカは前記スラリーの5～12重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項12】請求項11に記載の形成方法において、前記燻蒸コロイド状シリカは前記スラリーの8重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項13】請求項12に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20～30g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項14】請求項13に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項15】請求項14に記載の形成方法において、前記金属はタングステンであることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項16】請求項14に記載の形成方法において、前記金属はチタニウムであることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項17】半導体ウエハ上の絶縁層に金属パターンを形成する方法において、

a) 半導体ウエハ上に $\text{SiO}_2$ 層を形成する工程と、

b) 前記 $\text{SiO}_2$ 層を平坦化する工程と、

c) 前記 $\text{SiO}_2$ 層にパターンを形成する工程と、

d) 前記 $\text{SiO}_2$ 層に金属層を形成する工程と、

e) 前記 $\text{SiO}_2$ 層を露出させるために前記金属層を除去する工程と、

f) 5～12重量%の燻蒸コロイド状シリカ及び濃度20～30g/lの過硫酸塩アンモニウムよりなる非選択スラリーをもって、前記露出した前記 $\text{SiO}_2$ 層を化学的・機械的研磨して金属を前記パターンに残す工程と、を含むことを特徴とする半導体ウエハの金属パターン形成方法。

【請求項18】請求項17に記載の形成方法において、前記燻蒸コロイド状シリカは前記スラリーの8重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項19】請求項18に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

【請求項20】請求項19に記載の形成方法において、前記金属はタングステンであることを特徴とする半導体

ウエハの金属パターン形成方法。

【請求項21】請求項19に記載の形成方法において、前記金属はチタニウムであることを特徴とする半導体ウエハの金属パターン形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップ用の改良された表面処理技術に関し、さらに詳しくは、改良された化学的・機械的仕上げ研磨技術による半導体チップ表面の平坦化に関するものである。

【0002】

【従来の技術】半導体チップは、裸金属配線パターンによって相互接続される導体ターミナルを備えたデバイス・アレイである。超LSI(VLSI)チップにおいては、それらの金属配線パターンは多層化されている。各配線層は絶縁材料層によって他の導体層から隔絶されている。異なる配線層間の相互接続は、絶縁材料層を通してエッチングされるスルーホール(バイア)を介して行われる。

【0003】VLSIチップが形状収縮し、配線層が増えると、各層の表面の不規則性が次層に転移して、次層の各々の表面をさらに不規則にしてしまう。そうした不規則性は不規則表面上に形成した形状を歪曲させ、層間のレベル対レベルの整合を難しくする。本明細書において「層間(interlevel)スタッド」とは、少なくとも2層間にわたるスタッドのことをいっており、ソース/ドレイン拡散部および配線レベルとの接続を含むものである。いくつかの場合において、そうした歪曲は厳しいものである。目的の形状を十分に転写(プリント)したり、その層(レベル)を下層(前のレベル)に整合させることは不可能に近い。表面の不規則性を減ずる方法の1つは、その表面に配線パターンをプリントする前に、導体材料(例えば、バイアにスタッドを形成する)でもってバイアを充填することである。しかしながら、スタッドを利用した後でも、その表面に一段高く形成された配線の形状は、依然、次層の表面に不規則性を発生させる。したがって、高寸法精度の幾何学的な正確さを達成するために、表面をほぼ平ら、もしくは完全平坦に生成するための多様な層間技術が発達してきた。これらの技術は、平坦化もしくは処理技術として従来より周知である。

【0004】係る平坦化処理の1つに、Chem-Mech 研磨(Chemical-Mechanical Polishing)もしくはCMPとして知られる化学的・機械的研磨法がある。CMPはウエハ表面に対して溶液(スラリーとして知られる)中に研磨剤を添加する工程を含み、続いて表面の研磨が行われる。溶液中への添加剤は、表面材料を化学的に反応させて軟らかくし、軟化した表面の最も高い部分が研磨剤粒子によって除去される。

【0005】研磨される層が不規則な表面の粗さまたは

表面の形状(トポグラフィ)をもつ均一な材料からなるとき、CMPは比較的に単純な処理である。そこで、従来より、CMPは半導体チップ層の最上部に、すなわちチップ上面に最も近くで非導電性材すなわちダイエレクトリック(絶縁体、誘電体)を絶縁しながら平坦化するために広く用いられてきた。これらの最上層は、各工程がライン後半で行われる組立ラインの半導体チップ製造処理にちなんで、時にはバック・エンド・オブ・ライン(BEOL)層と呼ばれる。同様に、早期段階の処理工程はフロント・エンド・オブ・ライン(FEOL)であって、初期の層はそのFEOL層に、中間工程/層はミドル・オブ・ライン(MOL)にて行われる。

【0006】CMPは、2つの配線層間といったような導体層間の層間(中間レベル)バイアにスタッドを形成するのに利用される。スタッド形成にあたっては、初めにCMPによって非導電層を平坦化し、次にその非導電層を通してバイアパターンが開孔され、ポリシリコン又はタングステンのごとき導体材料よりなる層がパターン化非導電層上に形成され、そして最後に、導体材料層がこの導体材料がバイア内のみ残るようにして非導電層まで削り取られる(ポリッシュダウン)。

【0007】

【発明が解決しようとする課題】CMP後、不幸にも引っかけ傷(スクラッチ)が研磨した後の非導電層に残ることがある。さらに、研磨工程では、これまで下層によって生じる表面の不規則性を100%除去することができなかった。非導電表面におけるくぼみのために、CMPでは不要な導体材料全部を除去できないこともある。さらには、各研磨工程は製造処理を複雑にすると共に、研磨を終えた層にいくらかの非均一性を生じさせる。これらの不具合は、例えば電磁漏洩や短絡、表面不規則性、そして非均一な非導電性といったチップ不良を引き起こすことによって、歩留りを低下させる。

【0008】本発明の目的は、半導体チップの歩留りを改善することである。

【0009】また、本発明の他の目的は、簡易化されたチップ製造を行うことである。

【0010】さらに、本発明の他の目的は、半導体チップ層の表面平坦性を改良することである。

【0011】さらに、本発明の他の目的は、チップ歩留りを改善する一方で、半導体チップ製造中に形成された絶縁層を簡易に平坦化することである。

【0012】

【課題を解決するための手段】本発明は、半導体ウエハ上の絶縁層に金属パターンを形成する方法である。この方法は、a)半導体ウエハ上に絶縁材料よりなる層を形成する工程と、b)前記絶縁層を平坦化する工程と、c)前記絶縁層にパターンを形成する工程と、d)前記絶縁層上に導体材料よりなる層を形成する工程と、e)前記絶縁層を露出させるために前記導体材料層を除去す

る工程と、f)前記絶縁材料と前記導体材料に対して同じ大きさの除去速度を有するスラリでもって、前記露出した絶縁層を化学的-機械的研磨して金属を前記パターンに残す工程とを含んでいる。

【0013】好適な実施の形態において、金属パターンが半導体ウエハの絶縁層に形成される。絶縁層を化学的-機械的研磨し、そして平坦化された絶縁層にスタッドを形成した後、その研磨表面は仕上げスラリでもって化学的-機械的研磨される。仕上げスラリは、スタッド材料(タングステン又はチタニウム)に対して絶縁材料( $\text{SiO}_2$ )とはほぼ同等な除去速度を有している。好適な実施の形態による非選択スラリは、8重量%の燐蒸コロイド状シリカ、そして濃度20g/lの過硫酸塩アンモニウムである。

【0014】

【発明の実施の形態】図1において、絶縁層100は平坦に化学的-機械的研磨されており、次いでパイア及び/又は金属配線パターンがパターン化され、導体材料よりなる層(タングステン又はチタニウムのような金属)がそのパターン化された層100上に形成され、そして、その金属層は絶縁層100における金属スタッド及び/又は金属配線溝と共に平坦化表面102に再露出させるために化学的-機械的研磨されている。そこで、層100としては、パイア内に層間スタッド104を伴った2つの配線平板間の例えば酸化シリコン層とすることができ。別の方法として、表面102はダマシーン(Damascene)処理して形成された配線層を伴うプラズマ・テトラ・オルトシリケート(TEOS)層による平坦化面とすることもできる。これらの例は単に例に過ぎず、それに限定されるものではない。

【0015】その化学的-機械的研磨表面102は、ほぼ平坦ではあるが、引っ掻き傷106とか残存物108のようなものがあって、完全ではないといったことが見出される。そうした不完全さは金属層を化学的-機械的研磨することを含み、従来からのどのような処理段階にあっても生じていた。

【0016】スラリは、金属と絶縁体のどちらに対しても選択的な、通常10:1よりも大きい除去速度を有する典型的な化学的-機械的研磨に利用される。残存物108を除去する仕上げ用としてスラリの1つを用いると、その反対に引っ掻き傷106が残ってしまう。そこで、双方に選択タイプのスラリを用いて2段階仕上げを行っても、双方に非選択タイプのスラリを用いて行うどちらの場合も、双方を取り除くことはできない。

【0017】しかしながら、本発明では、残存物と引っ掻き傷の双方を同時に除去しながら、ほぼ均一な除去速度を有して表面を研磨できるような非選択スラリにより、2段階の仕上げを行うことを避けることができる。好適な実施の形態のスラリは、5~12重量%のコロイド状シリカと、20~30g/lの過硫酸塩アンモニウ

ムよりなるものである。好ましくは、シリカは、例えばキャボット社製のセミスパース(Semispers)SS-225のように、粒径が十分で、好ましくは30nm以上の研磨用 $\text{SiO}_2$ による燐蒸(いふし、フューム処理又はヒューム処理された)コロイド状シリカである。実施の形態のスラリは、8重量%のコロイド状シリカと20g/lの過硫酸塩アンモニウムのものである。

【0018】実施の形態のスラリの除去速度：

$\text{SiO}_2$  - 600Å/min  
W - 500Å/min  
Ti - 400Å/min

したがって、図1に示す構造体の表面100に対して仕上げ化学的-機械的研磨が円滑に行われ、図2に示すように、残存物の除去平面102'が得られる。

【0019】例

図3は、タングステンの5μmを超える範囲にわたって選択的仕上げ化学的-機械的研磨を行った結果を示している。図4は、本発明による非選択スラリを使用して同一領域に化学的-機械的研磨を行った結果を示している。タングステンのラインの付近は隣の領域(絶縁層の下にかつては極わずかなくぼみがある)よりも20nmくぼんでいるけれども、図3のそれに対応する領域において不規則性をもってマークされない。したがって、本発明による半導体ウエハのChem-Mech仕上げ研磨は残存物除去、引っ掻き傷除去を改善し、そしてチップ歩留りを改善することができる。

【0020】まとめとして、本発明の構成に関して以下の事項を開示する。

(1)半導体ウエハ上の絶縁層に金属パターンを形成する方法において、

- 半導体ウエハ上に絶縁材料よりなる層を形成する工程と、
- 前記絶縁層を平坦化する工程と、
- 前記絶縁層にパターンを形成する工程と、
- 前記絶縁層上に導体材料よりなる層を形成する工程と、
- 前記絶縁層を露出させるために前記導体材料層を除去する工程と、

f)前記絶縁材料と前記導体材料に対して同じ大きさの除去速度を有するスラリでもって前記露出した絶縁層を化学的-機械的研磨する工程と、を含むことを特徴とする半導体ウエハの金属パターン形成方法。

(2)前記(1)に記載の形成方法において、前記絶縁材料は $\text{SiO}_2$ であり、前記導体材料は金属であることを特徴とする半導体ウエハの金属パターン形成方法。

(3)前記(2)に記載の形成方法において、前記金属はタングステンであることを特徴とする半導体ウエハの金属パターン形成方法。

(4)前記(2)に記載の形成方法において、前記金属はチタニウムであることを特徴とする半導体ウエハの金

属パターン形成方法。

(5) 前記(1)に記載の形成方法において、前記スラリはコロイド状シリカ及び過硫酸塩アンモニウムよりなることを特徴とする半導体ウエハの金属パターン形成方法。

(6) 前記(5)に記載の形成方法において、前記コロイド状シリカは前記スラリの5～12重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

(7) 前記(6)に記載の形成方法において、前記コロイド状シリカは前記スラリの8重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

(8) 前記(6)に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20～30g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

(9) 前記(7)に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

(10) 半導体ウエハ上の絶縁層に金属パターンを形成する方法において、

a) 半導体ウエハ上に酸化物層を形成する工程と、  
b) 前記酸化物層を平坦化する工程と、  
c) 前記絶縁層にパターンを形成する工程と、  
d) 前記絶縁層上に金属層を形成する工程と、  
e) 前記酸化物層を露出させるために前記金属層を除去する工程と、  
f) 燻蒸コロイド状シリカ及び過硫酸塩アンモニウムよりなるスラリでもって、前記露出した酸化物層を化学的・機械的研磨して金属を前記パターンに残す工程と、を含むことを特徴とする半導体ウエハの金属パターン形成方法。

(11) 前記(10)に記載の形成方法において、前記燻蒸コロイド状シリカは前記スラリの5～12重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

(12) 前記(11)に記載の形成方法において、前記燻蒸コロイド状シリカは前記スラリの8重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

(13) 前記(12)に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20～30g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

(14) 前記(13)に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

(15) 前記(14)に記載の形成方法において、前記金属はタングステンであることを特徴とする半導体ウエ

ハの金属パターン形成方法。

(16) 前記(14)に記載の形成方法において、前記金属はチタニウムであることを特徴とする半導体ウエハの金属パターン形成方法。

(17) 半導体ウエハ上の絶縁層に金属パターンを形成する方法において、

a) 半導体ウエハ上にSiO<sub>2</sub>層を形成する工程と、  
b) 前記SiO<sub>2</sub>層を平坦化する工程と、  
c) 前記SiO<sub>2</sub>層にパターンを形成する工程と、  
d) 前記SiO<sub>2</sub>層上に金属層を形成する工程と、  
e) 前記SiO<sub>2</sub>層を露出させるために前記金属層を除去する工程と、  
f) 5～12重量%の燻蒸コロイド状シリカ及び濃度20～30g/lの過硫酸塩アンモニウムよりなる非選択スラリでもって、前記露出した前記SiO<sub>2</sub>層を化学的・機械的研磨して金属を前記パターンに残す工程と、を含むことを特徴とする半導体ウエハの金属パターン形成方法。

(18) 前記(17)に記載の形成方法において、前記燻蒸コロイド状シリカは前記スラリの8重量%であることを特徴とする半導体ウエハの金属パターン形成方法。

(19) 前記(18)に記載の形成方法において、前記過硫酸塩アンモニウムの濃度は20g/lであることを特徴とする半導体ウエハの金属パターン形成方法。

(20) 前記(19)に記載の形成方法において、前記金属はタングステンであることを特徴とする半導体ウエハの金属パターン形成方法。

(21) 前記(19)に記載の形成方法において、前記金属はチタニウムであることを特徴とする半導体ウエハの金属パターン形成方法。

【図面の簡単な説明】

【図1】本発明による仕上げ化学的・機械的研磨工程の前の半導体チップを示す断面図である。

【図2】本発明による仕上げ化学的・機械的研磨工程の後の図1の半導体チップを示す断面図である。

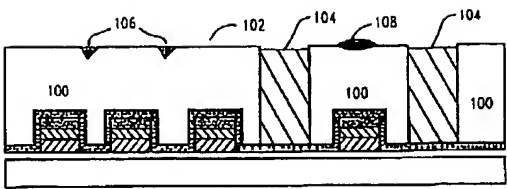
【図3】2段階仕上げ用の選択スラリの使用後でタングステンの幅5μmを越えた領域の表面のグラフ線図である。

【図4】本発明の好適な実施の形態による仕上げ後の図3と同一領域のグラフ線図である。

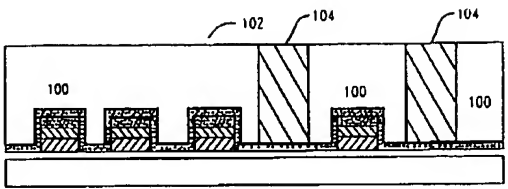
【符号の説明】

100 絶縁層  
102 平坦化面  
104 層間金属スタッド  
106 引っ掻き傷  
108 残存物

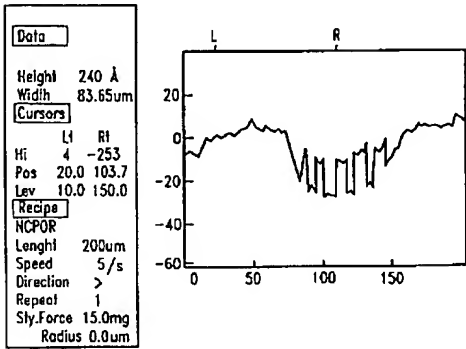
【図1】



【図2】



【図3】



【図4】

